

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06069308 A

(43) Date of publication of application: 11.03.1994

(51) Int. Cl. H01L 21/66
G01R 31/28

(21) Application number: 04107165
(22) Date of filing: 27.04.1992

(71) Applicant: NEC CORP
(72) Inventor: YOSHIDA ICHIRO

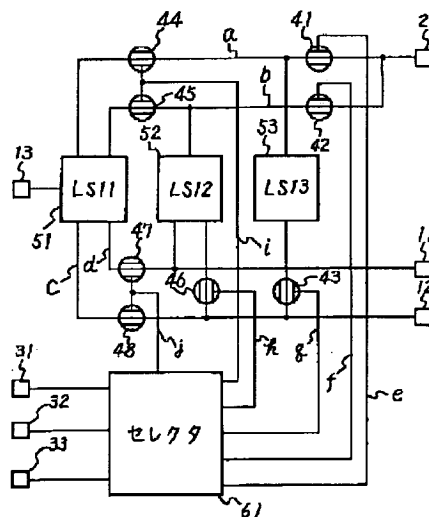
(54) SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To achieve that the test means of a semiconductor chip in a multichip semiconductor device is made efficient.

CONSTITUTION: Transfer gates 42, 45 connected to a wiring (b) connecting an LSI 51 and an LSI 52, a transfer gate 47 connected to a wiring (d), transfer gates 41, 44 connected to a wiring (a) connecting the LSI 51 and an LSI 53 and transfer gates 43, 46, 48 connected to an wiring (c) connecting the LSI 51 to the LSI 53 are controlled by a selector 61 which turns on and off the transfer gates by the input of test mode pads 31 to 33. A route from the wiring (a) or (b) to a test pad 21, a route from the wiring (c) to an input/output pad 11 and a route from the wiring (d) to an input/output pad 12 are formed in a time-sharing manner and the LSI 51 to the LSI 53 are tested individually.



BEST AVAILABLE COPY

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-69308

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	Z	8406-4M		
G 0 1 R 31/28		6912-2G	G 0 1 R 31/ 28	V

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-107165

(22)出願日 平成4年(1992)4月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉田 一郎

東京都港区芝五丁目7番1号日本電気株式

会社内

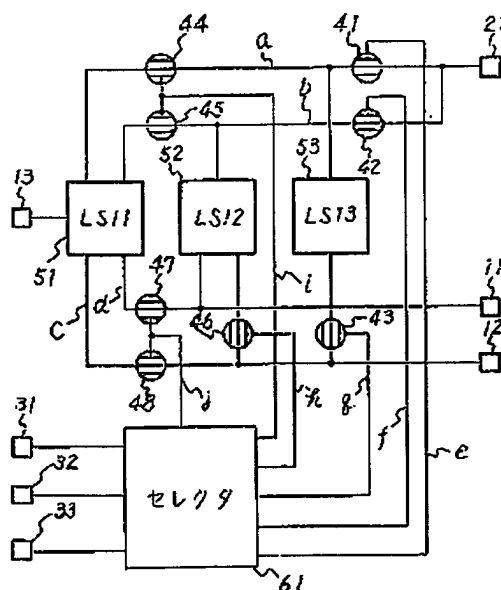
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 マルチチップ半導体装置における半導体チップのテスト手段の効率化

【構成】 L S I 5 1 と L S I 5 2 を接続する配線 b に接続されるトランスファゲート 4 2 と 4 5、配線 d に接続されるトランスファゲート 4 7、L S I 5 1 と L S I 5 3 を接続する配線 a に接続されるトランスファゲート 4 1 と 4 4、L S I 5 1 ～ L S I 5 3 を接続する配線 c に接続されるトランスファゲート 4 3、4 6、4 8 をテストモードパッド 3 1 ～ 3 3 の入力により該トランスファゲートをオン、オフさせるセレクタ 6 2 で制御し、配線 a または b からテストパッド 2 1、配線 c から入出力パッド 1 1、配線 d から入出力パッド 1 2 への経路を時分割で形成し、L S I 5 1 ～ 5 3 を個々にテストする。



(2)

特開平6-69308

1

【特許請求の範囲】

【請求項1】 所定の配線パターンが形成された半導体基板上に複数の半導体チップを搭載した半導体装置において、前記半導体基板上に形成した複数のトランジスタを組合せてなるトランスファゲートと、前記トランスファゲートのオン、オフを決定するセレクトとを備え、前記半導体チップ間を電気的に接続する内部配線と前記半導体チップと外部ピンとを電気的に接続する内部配線とを、前記トランスファゲートを介して互々接続し、前記セレクトにより前記半導体チップの端子を選択的に前記外部ピンに接続できるようにしたことを特徴とする半導体装置。

【請求項2】 前記セレクトを制御する外部制御ピンを有し、前記外部制御ピンに印加する論理レベルによって、通常動作モードまたは前記半導体チップのうち所望のチップがテストできるテストモードに選択するようにした請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に実装される半導体チップのテスト手段、その中でも半導体チップを個々に検査するためのテスト回路を含むマルチチップ半導体装置の半導体基板に関する。

【0002】

【従来の技術】 従来、この種のマルチチップ半導体装置（以下マルチチップモジュール）は、図7のような断面構造を有していた。図7において、シリコン基板（以下S i 基板）100上に、絶縁層としてのシリコン酸化膜（以下S i 酸化膜）101が形成され、1層アルミ配線102、2層アルミ配線103、3層アルミ配線104と、それらの絶縁を行う絶縁層としてのポリイミド109とが積層されて、配線パターンを形成している。さらに半導体チップ（以下LS i チップ）108を接続するための半導体接続パンプ（以下パンプパッド）105が形成されている。一方、S i 基板100上に接続されるLS i チップ108には、LS i チップ108の信号線を取り出すボンディングパッド107が設けられており、その上に絶縁層としてのポリイミド111が積層され、ボンディングパッド107と接続された下地メタル106が形成されている。

【0003】 このように加工されたLS i チップ108と、S i 基板100とを、半田パンプ110で接続することにより、マルチチップモジュールが構成される。ここで示したマルチチップモジュールは、フリップチップ方式と呼ばれるものであるが、これ以外にも種々の方式がある。

【0004】 図8は、図7のS i 基板の配線パターンを表した平面図である。このS i 基板100上には、図面中にLS i 11～LS i 3とマークされている部分に、LS i チップを3個接続できるようになっている。S i 基

2

板100上に入出力パッド116とLS i チップ接続用の実装するLS i チップのボンディングパッド座標に一致したパンプパッド105がレイアウトされ、入出力パッド116とパンプパッド105とが配線（図7の1、2、3層アルミニウム配線層102～104で構成される）で接続されている。

【0005】 図9、図10は従来のS i 基板上に形成されている配線パターンを模式的に表したものである。図9、図10において、入出力パッド11～16と、半導体基板上に実装されるLS i をテストする際の入出力を検出するためのテストパッド21、22、23、24と、半導体基板上に実装されるどのLS i をテストするかを決定するテストモードパッド31～33、34～36とがある。また、半導体基板上に実装されるLS i 51～56がある。配線aは、LS i 51が出力しLS i 53に入力される信号を、配線bはLS i 51が出力しLS i 52に入力される信号を、配線cはLS i 51～LS i 53がそれぞれ入出力する信号を、配線dはLS i 51が入出力、LS i 52が入力する信号を表している。

【0006】 配線AはLS i 56に入力される信号を、配線RはLS i 55に入力される信号を表している。配線BはLS i 54に入力される信号を表し、LS i 56の出力信号である配線Eに接続されている。配線CはLS i 54に入力される信号を表し、LS i 55の出力信号である配線Dに接続されている。

【0007】 各半導体チップは、テストモードパッドがローレベルの時、入出力端子と出力端子をハイ・インピーダンスにする機能を待っている。テストモードパッド31がローレベルの時LS i 51のすべての出力はハイ・インピーダンス、テストモードパッド32がローレベルの時LS i 52のすべての出力はハイ・インピーダンス、テストモードパッド33がローレベルの時LS i 53のすべての出力はハイ・インピーダンス、テストモードパッド34がローレベルの時LS i 54のすべての出力はハイ・インピーダンス、テストモードパッド35がローレベルの時LS i 55のすべての出力はハイ・インピーダンス、テストモードパッド36がローレベルの時LS i 56のすべての出力はハイ・インピーダンスとなる。

【0008】 LS i 51のテストを行う場合、テストモードパッド31をハイレベル、テストモードパッド32と33をローレベル、LS i 52のテストを行う場合テストモードパッド32をハイレベル、テストモードパッド31と33をローレベル、LS i 53のテストを行う場合テストモードパッド33をハイレベル、テストモードパッド31と32をローレベルとし入出力パッド11～12、テストパッド21～22にプローブを当てテストを行う。LS i 54のテストを行う場合テストモードパッド34をハイレベル、テストモードパッド35と3

(3)

特開平6-69308

3

6をローレベル、LS155のテストを行う場合テストモードパッド35をハイレベル、テストモードパッド34と36をローレベル、LS156のテストを行う場合テストモードパッド36をハイレベル、テストモードパッド34と35をローレベルとし入出力パッド14～16、テストパッド23～24にプローブを当てテストを行う。

【0009】

【発明が解決しようとする課題】前述した従来のマルチチップモジュールにおいて、Si基板上の個々の半導体チップの検査を行うには、すべての配線を入出力パッドに接続しなければならず、配線規模が増していた。また個々の半導体チップがテスト用の機能（すべての出力をハイ・インピーダンスにする）を持たない場合、テストを可能にするため実装される半導体チップへの機能追加が必要であった。

【0010】本発明の目的は、前記問題点を解決し、配線規模が増大せず、機能追加をする必要のない半導体装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の構成は、所定の配線パターンが形成された半導体基板上に複数の半導体チップを搭載した半導体装置において、前記半導体基板内に形成した複数のトランジスタを組合せてなるトランスファゲートと、前記トランスファゲートのオン、オフを決定するセレクトとを備え、前記半導体チップ間を電気的に接続する内部配線と前記半導体チップと外部ピンとを電気的に接続する内部配線とを、前記トランスファゲートを介して互々接続し、前記セレクトにより前記半導体チップの端子を選択的に前記外部ピンに接続できるようにしたことを特徴とする。

【0012】

【実施例】図1は本発明の一実施例のテスト回路を示す回路図である。図1において、本発明の一実施例のテスト回路は、入出力パッド11、12、13と、テストパッド21と、半導体基板上に実装されるLS151、52、53と、トランスファゲートのオン、オフを決定するセレクト61とを備えている。

【0013】さらに、テストモードパッド31、32、33は、セレクト61に入力され、セレクト61の出力の配線eはトランスファゲート41、配線fはトランスファゲート42、配線gはトランスファゲート43、配線hはトランスファゲート46、配線iはトランスファゲート44と45、配線jはトランスファゲート47と48のゲート入力に接続されている。

【0014】配線aはLS151から出力されトランスファゲート44を介しLS153に入力される信号を表し、トランスファゲート41を介しテストパッド21にも接続されている。配線bはLS151から出力されトランスファゲート45を介しLS152に入力される信

4

号を表し、トランスファゲート42を介しテストパッド21にも接続されている。配線cはLS151～53がそれぞれ入出力する信号を表し入出力パッド12に接続され、トランスファゲート48を介しLS151、トランスファゲート46を介しLS152、トランスファゲート43を介しLS153に接続されている。配線dはLS151が入出力、LS152が入力する信号を表し、トランスファゲート47を介しLS151とLS152、入出力パッド11に接続されている。

【0015】図2は図1で使用しているセレクト61の真値値表を表している。図2において、モードは5つあり、テストモードパッドのすべてがローレベルの時は通常動作をする。テストモードパッド31、32がローレベルでテストモードパッド33がハイレベルの時LS153のテスト（モードのテスト1）、テストモードパッド31、33がローレベルで、テストモードパッド32がハイレベルの時、LS152のテストを行う（モードのテスト2）、テストモードパッド31がハイレベルの時LS151のテストを行う（モードのテスト3及び4）。

【0016】配線e、f、g、h、i、jの各論理レベルも示されており、これにより各トランスファゲート41～47の開閉を行う。

【0017】図4は本実施例で使用するマルチチップ半導体装置の断面図である。図4の実施例は、図7の従来例におけるマルチチップ半導体装置と異なり、Si基板100中にソース113とドレイン115とを、一層アルミニウム配線102とSi酸化膜101の間で、ソース113及びドレイン115とゲート114を絶縁するために使用されるSi窒化膜112を形成し、トランジスタを構成している。その他の部分は、図7と同様である。

【0018】図1、図2で示したテスト回路の動作を説明する。LS151のテストは、LS152へのアクセス経路のテスト、LS153へのアクセス経路のテスト、LS151単独のテストの3つに分けられる。LS152との経路のテストを行う場合、テストモードパッド31、32をハイレベル、テストモードパッド33をローレベルとする。すると、トランスファゲート41、43、46がオフ、トランスファゲート42、44、45、47、48がオンとなり、次の電気経路が構成される。

【0019】

LS151→配線b→テストパッド21

LS151→配線c→入出力パッド12

LS151→配線d→入出力パッド11

ここで、入出力パッド11～13、テストパッド21にプローブをあてることにより、LS151のLS152をアクセスするときのテストが行える。図3はこのとき（図2のモードのテスト4）の等価接続回路図を示す。

(4)

特開平6-69308

5

【0020】LSI51のLSI53へのアクセス経路のテストを行う場合、テストモードパッド31、33をハイレベル、テストモードパッド32をローレベルとする。すると、トランスファゲート41、44、45、47、48がオン、トランスファゲート42、43、46がオフとなり、次の電気経路が構成される。

【0021】

LSI51→配線a→テストパッド21

LSI51→配線c→入出力パッド12

LSI51→配線d→入出力パッド11

ここで、入出力パッド11～13、テストパッド21にプローブをあてることによりLSI51のLSI53をアクセスするときのテストが行える。LSI52のテストを行う場合、テストモードパッド31、33をローレベル、テストモードパッド32をハイレベルとする。すると、トランスファゲート41、43、44、45、47、48がオフ、トランスファゲート42、46がオンとなり、次の電気経路が構成される。

【0022】

LSI52→配線b→テストパッド21

LSI52→配線c→入出力パッド12

LSI52→配線d→入出力パッド11

ここで、入出力パッド11～12、テストパッド21にプローブをあてることにより、LSI52のテストが行える。LSI53のテストを行う場合、テストモードパッド31、32をローレベル、テストモードパッド33をハイレベルとする。すると、トランスファゲート41、43がオン、トランスファゲート42、44、45、46、47、48がオフとなり、次の電気経路が構成される。

【0023】

LSI53→配線a→テストパッド21

LSI53→配線c→入出力パッド12

ここで、入出力パッド12、テストパッド21にプローブをあてることにより、LSI53のテストが行える。通常動作をさせる（テストモードでない）場合テストモードパッド31、32、33をローレベルとすると、トランスファゲート43、44、45、46、47、48がオン、トランスファゲート41、42がオフとなり、次の電気経路が構成される。

【0024】

配線a→LSI51→LSI53

配線b→LSI51→LSI52

配線c→LSI51→LSI52→LSI53→入出力パッド21

配線d→LSI51→LSI52→入出力パッド11
入出力パッド11、12、13にアクセスすることにより、動作させることができる。尚、セクタ61は、時分割でモードの切り換えを行うこともできる。

【0025】図5は本発明の他の実施例のテスト回路を

6

示す回路図である。図5において、本実施例のテスト回路は、入出力パッド14、15、16と、テストモードパッド34、35、36と、トランスファゲート49、50、411～416と、半導体基板上に実装されるLSI54、55、56と、セクタ62とを備えている。このセクタ62の出力である配線Jは、トランスファゲート416、配線Kはトランスファゲート414、配線Lはトランスファゲート415、配線Mはトランスファゲート413、配線Nはトランスファゲート419、配線Oはトランスファゲート412、配線Pはトランスファゲート411、配線Qはトランスファゲート410のゲート入力に接続されている。配線AはLSI56に入力される信号を表し、配線RはLSI55に入力される信号を表している。配線CはLSI54に入力される信号で、トランスファゲート414、415、416の入出力に接続され、トランスファゲート413を介し入出力パッド15に接続されている。配線BはLSI54に入力される信号で、トランスファゲート49、411、412の入出力に接続され、トランスファゲート410を介し入出力パッド14に接続されている。配線DはLSI55が出力する信号で、トランスファゲート414を介し配線Cに接続されている。配線EはLSI56が出力する信号で、トランスファゲート49を介し配線Bに接続されている。配線Fはトランスファゲート416を介し配線C及びGNDに接続されている。配線Gはトランスファゲート415を介し配線C及び電源電圧VCCに接続されている。配線Hはトランスファゲート412を介し配線BとGNDに接続されている。配線Iはトランスファゲート411を介し配線Bと電源電圧VCCに接続されている。

【0026】図6は図5で使用しているセクタ62の真理値表を示す図である。図6において、図2と同様にテストモードは5つある。テストモードパッドがすべてローレベルの時は通常動作をする。テストモードパッド34と35がローレベル、テストモードパッド36がハイレベルの時LSI56のテスト、テストモードパッド34と36がローレベル、テストモードパッド35がハイレベルの時LSI55のテストを行う。テストモードパッド34がハイレベルの時はLSI54のテストを行う。

【0027】図6において、*印は不定を示し、2重丸印はテスト状態により変化する。ただし、J=L（反転値）、O=P（反転値）。

【0028】図5、図6で示したテスト回路の動作を説明する。本実施例ではテストパッドを使用せず、半導体基板上の個々の半導体チップのテストを行う。LSI54のテストはLSI55からのアクセス経路のテストとLSI56からのアクセス経路のテストがある。LSI55からのアクセス経路のテストの場合、テストモードパッド34と35をハイレベル、テストモードパッド3

(5)

特開平6-69308

7

6をローレベルとする。するとトランスファゲート49、410、414、415、416がオフ、トランスファゲート413がオンとなり、次の電気経路が構成される。

【0029】LSI54→配線C→入出力パッド15ここで、トランスファゲート412をオン、トランスファゲート411をオフにし配線Bをローレベル、またはトランスファゲート411をオン、トランスファゲート412をオフにし、配線Bをハイレベルにした状態で、入出力パッド15と16にプローブを当てることによりLSI54のLSI55からのアクセス経路のテストが行える。LSI54のLSI56からのアクセス経路のテストは、テストモードパッド34と36をハイレベル、テストモードパッド35をローレベルとする。するとトランスファゲート49、411、412、413、414がオフ、トランスファゲート410がオンとなり、次の電気経路が構成される。

【0030】LSI54→配線B→入出力パッド15ここで、トランスファゲート416をオン、トランスファゲート415をオフにし配線Cをローレベル、またはトランスファゲート415をオン、トランスファゲート416をオフにし配線Cをハイレベルにした状態で、入出力パッド14と16にプローブを当てることによりLSI54のLSI55からのアクセス経路のテストが行える。LSI55のテストを行う場合、テストモードパッド34と36をローレベル、テストモードパッド35をハイレベルとする。するとトランスファゲート410、415、416がオフ、トランスファゲート413、414がオンとなり、次の電気経路が構成される。

【0031】LSI55→配線B→入出力パッド15ここで、入出力パッド14と15にプローブを当てることによりLSI55のテストが行える。LSI56のテストを行う場合、テストモードパッド34と35をローレベル、テストモードパッド36をハイレベルとする。するとトランスファゲート49、410がオン、トランスファゲート411、412、413がオフとなり、次の電気経路が構成される。

【0032】LSI56→配線E→入出力パッド14ここで、入出力パッド14と15にプローブを当てることによりLSI55のテストが行える。通常動作をさせる場合、テストモードパッド34～36をローレベルとすると、トランスファゲート49、414がオン、トランスファゲート410、411、412、413、415、416がオフとなり、次の電気経路が構成される。

【0033】

配線A→入出力パッド15

配線B→配線E

配線C→配線D

配線R→配線14

入出力パッド14～16にプローブを当てることにより

8

動作させることができる。

【0034】

【発明の効果】以上説明したように、本発明は、マルチチップ半導体装置内の配線をトランスファゲート回路で例えばテストモードパッド、テストパッド、入出力パッドに接続することにより、すべての配線を入出力パッドに接続しなくても、基板上に実装される個々の半導体チップのテストを行えるという効果があり、これにより基板の外周に配置される入出力パッドの数を増やす必要がなく、従来に比べ装置を小さくでき、さらにテスト用の機能を待たない半導体チップであっても、半導体チップに機能追加することなしに基板に実装できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のテスト回路を示す回路図である。

【図2】図1で使用されるセレクトの真理値表を示す図である。

【図3】図2のテスト4を実行するときの等価回路を示す回路図である。

【図4】図1のテスト回路を含んだマルチチップモジュールの断面図である。

【図5】本発明の他の実施例のテスト回路を示す回路図である。

【図6】図1で使用されるセレクトの真理値表を示す図である。

【図7】従来のマルチチップモジュールの断面図である。

【図8】従来の基板上の配線パターンを示す平面図である。

【図9】従来の基板上の配線パターンの一例を示した回路図である。

【図10】従来の基板上の配線パターンの他例を示した回路図である。

【符号の説明】

11～16、116 入出力パッド

21 テストパッド

31～36 テストモードパッド

41～416 トランスファゲート回路

51～56 LSI

61～62 セレクト

71～72 P型トランジスタ

81～82 N型トランジスタ

9 トランスファゲート入出力

10 トランスファゲート入出力

11 トランスファゲートゲート入力

12 VCC

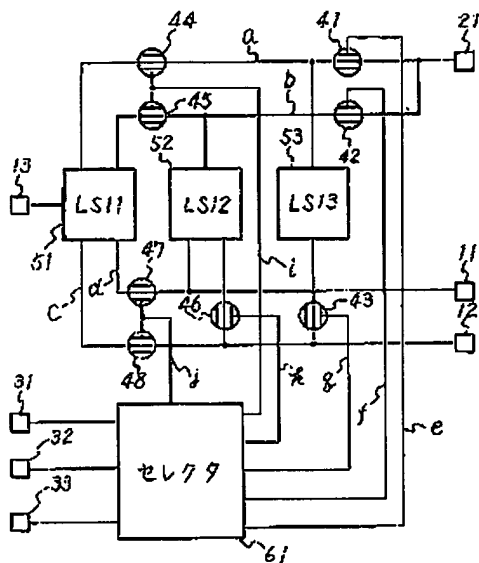
13 GND

100 シリコン基板

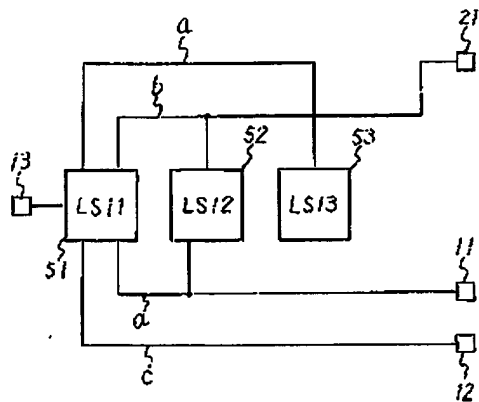
101 シリコン酸化膜

- 9
- 102 1層アルミニウム配線
- 103 2層アルミニウム配線
- 104 3層アルミニウム配線
- 105 バンプパッド
- 106 下地メタル
- 107 ボンディングパッド
- 108 半導体チップ (LSIチップ)

【図1】



【図3】



(5) 特開平6-69308

- 10
- * 109, 111 ポリイミド
- 110 半田バンプ
- 112 シリコン窒化膜
- 113 トランジスタソース
- 114 トランジスタゲート
- 115 トランジスタドレイン

*

【図2】

モード	テストモードパッド			配線						
	31	32	33	e	f	g	h	i	j	k
通常動作	0	0	0	0	0	1	1	1	1	1
テスト1	0	0	1	1	0	1	0	0	0	0
テスト2	0	1	0	0	1	0	1	0	0	0
禁止	0	1	1							
禁止	1	0	0							
テスト3	1	0	1	1	0	0	0	1	1	1
テスト4	1	1	0	0	1	0	0	1	1	1
禁止	1	1	1							

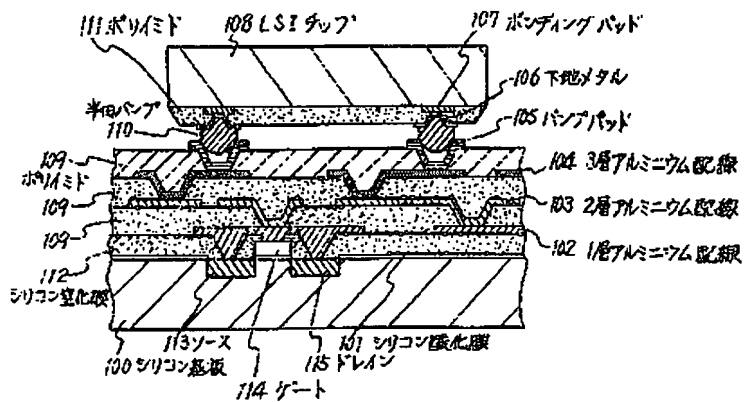
【図6】

モード	テストモードパッド			配線								
	34	35	36	J	K	L	M	N	O	P	Q	R
通常動作	0	0	0	0	1	0	0	1	0	0	0	0
テスト1	0	0	1	*	*	*	0	1	0	0	1	1
テスト2	0	1	0	0	1	0	1	*	*	*	0	0
禁止	0	1	1									
禁止	1	0	0									
テスト3	1	0	1	⊕	0	⊕	0	0	0	0	1	1
テスト4	1	1	0	0	0	0	1	0	⊕	⊕	0	0
禁止	1	1	1									

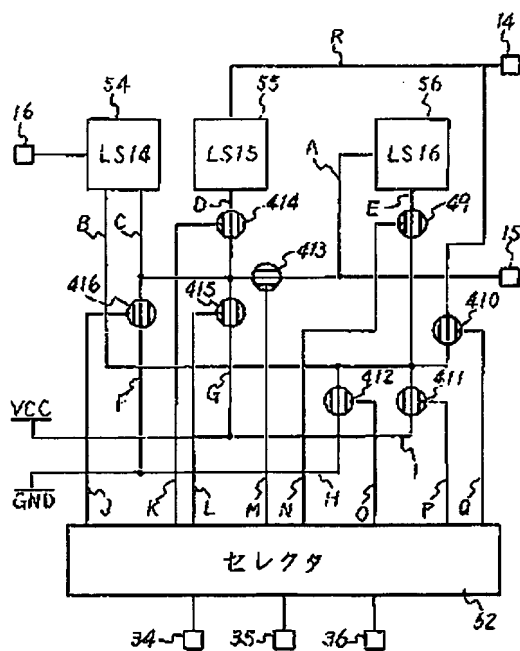
(7)

特開平6-69308

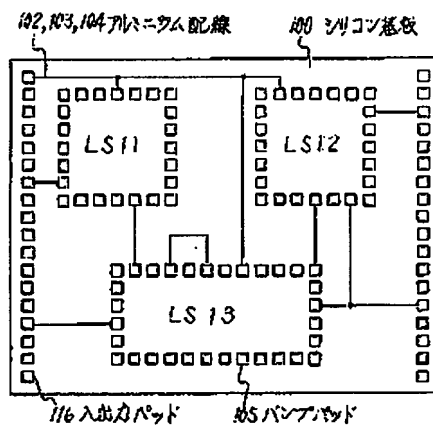
【図4】



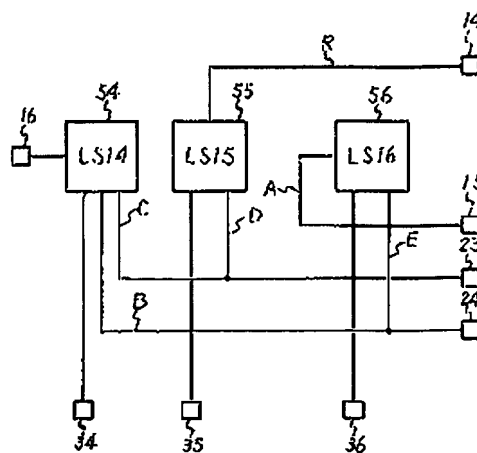
【図5】



【図8】



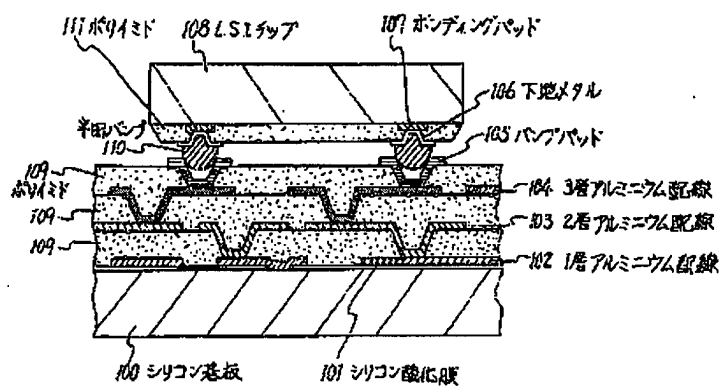
【図10】



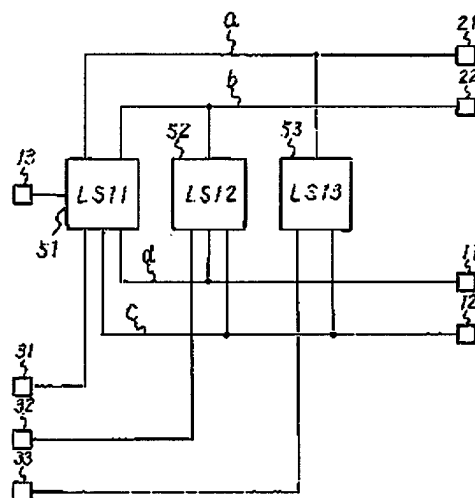
(8)

特開平6-69308

【図7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.